

(11) Japanese Unexamined Patent Application Publication No.
60-107083

(43) Publication Date: June 12, 1985

(21) Application No. 58-214485

(22) Application Date: November 15, 1983

(72) Inventors: OKI et al.

(71) Applicant: Fujitsu Ltd.

(74) Agent: Patent Attorney, Koshiro MATSUOKA

SPECIFICATION

1. Title of the Invention: DISPLAY

2. Claims

[Claim 1] A display comprising: an active-matrix circuit including a gate-controlled diode having a drain electrode and a gate electrode, the drain electrode being connected to a displaying element provided on a semiconductor substrate, the gate electrode of the gate-controlled diode being provided in the form of a loop.

[Claim 2] The display according to Claim 1, further comprising: an information storage capacitor provided under the outer periphery of the gate electrode in the form of a loop, wherein the drain portion of the gate-controlled diode is provided at the portion being in contact with the inner

periphery of the looped gate electrode, and a luminescent area in the displaying element is provided at a portion surrounded by the looped gate electrode.

[Claim 3] The display according to Claim 1 or 2, wherein the drain region is provided under the entire portion surrounded the looped gate electrode, and the drain electrode also functions as a displaying electrode of the displaying element.

3. Detailed Description of the Invention

(a) Technical Field of the Invention

The present invention relates to a display, particularly, to a display in which intensity modulation can be stably performed and improved quality of display images can be achieved.

(b) Background Art

In an electroluminescent (EL) panel or the like, a considerable number of displaying elements corresponding to its pixels is required for the construction of a predetermined screen. The same number of driving circuits as the elements or lines is required to individually drive the elements. Thus, a large number of driving circuits are required.

Therefore, each of the driving circuits preferably has a simple structure.

In addition, there is a demand for the displaying element in which intensity modulation can be stably performed and improved quality of display images can be achieved.

(c) Related Art and its Problem

As shown in Fig. 1, a known driving circuit for intensity modulation includes an active matrix a composed of one transistor and one capacitor (composed of Q1 and C3). A display element, for example, a liquid crystal element b is driven by the driving circuit. In this driving circuit, a voltage, which is corresponding to brightness information, applied to a data bus c charges a capacitor C3 via a transistor Q1 that is turned on by a scan pulse applied to a scan bus d. In this way, intensity modulation is performed for the element b.

In order to apply the driving circuit for driving an AC-driven displaying element, such as a thin-film EL element, the configuration of the driving circuit must be changed to a configuration composed of two transistors and one capacitor (Q1, Q2, and C3) as shown in Fig. 2. As a result, intermediate tones are particularly difficult to be stably generated by intensity modulation. Furthermore, the circuit has no means for improving the quality of display images.

(d) Object of the Invention

The present invention is conceived in view of the

above-described problems with the known circuit. It is an object of the present invention to provide a display in which stable intensity modulation is achieved and improved quality of display images can be achieved.

(e) Construction of the Invention

In order to achieve the object, a display of the present invention includes an active-matrix circuit including a gate-controlled diode having a drain electrode and a gate electrode, the drain electrode being connected to a displaying element provided on a semiconductor substrate, the gate electrode being provided in the form of a loop.

(f) Embodiment of the Invention

An embodiment according to the present invention will be described below with reference to the drawings.

Fig. 3 is a circuit diagram according to an embodiment of the present invention. Fig. 4 shows a devised configuration for the integration of the circuit shown in Fig. 3. In Fig. 3, reference numeral 1 represents an active-matrix circuit for driving an electroluminescent (EL) element and reference numeral 2 is an EL cell (displaying element). One electrode of the EL cell 2 is connected to a power terminal 3. Another electrode of the EL cell 2 is connected to the drain of a gate-controlled diode 4 (hereinafter, referred to as "GCD"). The substrate SUB of the diode 4 is connected to a reference potential, for

example, a ground potential.

The gate of the diode 4 is connected to one electrode of a storage capacitor 5 and to a data bus 7 via an address transistor 6. The address transistor 6 is, for example, a MOS transistor and its gate electrode is connected to a scan bus 8. Another electrode of the capacitor 4 is connected to the reference potential, for example, the ground potential.

In Fig. 4 showing an integrated circuit including the configuration of the circuit, (4-1) is a plan view and (4-2) is a cross-sectional view taken along line IV-IV. In these figures, a drain electrode D and a gate electrode G of the address transistor are connected to the data bus 7 and the scan bus 8, respectively, the data bus 7 and the scan bus 8 each being arrayed into a matrix. A source electrode of the transistor 6 is connected to a loop poly-Si electrode 10. The outer portion of the loop poly-Si electrode 10 and a p^+ diffusion region are separated by a thermally grown oxide film 11 (part of a SiO_2 insulating film 16) having a thickness of 1,000 Å to define the storage capacitor 5 there. A thermally grown oxide film 12 (part of a SiO_2 insulating film 16), having a thickness of 1,000 Å, under the inner portion of the poly-Si electrode 10 functions as a gate insulating film of the GCD 4. Thus, the poly-Si electrode 10 on the gate insulating film functions as a gate electrode of the GCD 4. An n^+ region is formed by diffusing

phosphorus into a portion (in p-type silicon substrate 13) surrounded the loop poly-Si electrode 10 through the loop poly-Si electrode 10 functioning as a mask. The n^+ region functions as not only a drain electrode of the GCD 4, but also as a displaying electrode of the EL cell 2. Alternatively, a drain electrode of the GCD 4 may be connected to a displaying electrode of the EL cell 2 formed independently.

After the driving circuit is thus formed by a Si process, if necessary, a light shield and an electric shield are provided (not shown) so that the display electrode is exposed alone. Then, an electroluminescent layer 14 of the EL cell 2 is formed on the entire circuit by a thin-film forming process such as vapor deposition or sputtering. The electroluminescent layer 14 may be composed of a luminescent layer alone, or may further contain an insulating layer composed of, for example, Y_2O_3 , Si_3N_4 , or Al_2O_3 . Then, a transparent conductive film 15 (common counter electrode) is formed on the electroluminescent layer 14 to complete an EL panel.

The operation of the display of the present invention including such a configuration will be described below.

A driving voltage V_A shown in Fig. 5 (5-1) is applied to the power terminal 3. A scan pulse V_Y , which is a frame frequency, shown in Fig. 5 (5-2) is supplied to the scan bus

8. A voltage V_x , which is shown in Fig. 5 (5-3), corresponding to brightness information including intermediate tones is applied to the data bus 7.

When the scan pulse V_y is applied at the timing shown in Fig. 5 (5-2), the address transistor 6 turns on. As a result, a voltage V_{G1} at that time is maintained in the storage capacitor 5 for one frame (see Fig. 5 (5-4)), and then the voltage is applied to the gate of the gate-controlled diode 4.

The reverse breakdown voltage of the diode 4 changes depending on the gate voltage according to the relationship shown in Fig. 6. The characteristic of the diode 4 is explained by the following reason: As shown in Fig. 7, the diode 4 has a structure of a MOS transistor in which a source diffusion region is omitted. A potential distribution between the drain and the substrate is affected by the gate potential while a voltage is applied. A lower gate potential causes the steepening of the potential gradient of a depletion layer generated by a p-n junction under an edge of the gate, thus resulting in the occurrence of the breakdown at a lower drain voltage.

As described above, since the reverse breakdown voltage of the diode 4 changes, drain voltages V_D are clamped to different levels as shown in Fig. 5 (5-5). As shown in Fig. 5 (5-6), a positive peak value of a voltage across the EL

cell 2 ($V_{\text{cell}} = V_A - V_D$) varies between $V_A - V_{Z1}$ and $V_A - V_{Z0}$ depending on the gate voltage V_G .

When V_{cell} is $V_A - V_{Z0}$, the thin-film EL device 1 having a steep threshold property emits light having a saturated luminance of B_0 . When V_{cell} is $V_A - V_{Z1}$, the thin-film EL device 1 emits light having a dark luminance of B_1 (see Fig. 8).

That is, the luminance of the EL cell can be changed by setting the values of the V_A and V_D . Thus, the gate voltage can control the luminance. Therefore, the application of the gate voltage having an intermediate voltage of V_{G2} causes the EL device to emit light having an intermediate luminance of B_2 .

As shown in Fig. 4, in the present invention, by increasing the gate length of the GCD 4 and reducing the area occupied by the gate, the luminescent area is increased; hence, a clamp operation can be performed at low impedance. As a result, a driving control for stable intermediate tones can be performed and a multifunctional display having high-quality display images can be achieved.

In the above-described embodiment, the GCD 4 having a single-loop gate has been described. A plurality of luminescent areas may be provided.

(g) Advantages of the Invention

As described above, the present invention has the advantages as follows: (1) a driving control for stable

intermediate tones can be performed; and (2) the quality of display images can be improved, etc.

4. Brief Description of the Drawings

Figs. 1 and 2 each show a driving circuit of a known display element. Fig. 3 is a circuit diagram of a display according to the present invention. Fig. 4 shows a configuration for the integration of the circuit shown in Fig. 3. Fig. 5 is a timing chart illustrating the operation of the circuit according to the present invention. Fig. 6 is a graph showing the characteristic of the gate-controlled diode. Fig. 7 is a schematic view illustrating the principle of operation of the gate-controlled diode. Fig. 8 is a graph illustrating the operation of the EL cell.

Among these figures, reference numeral 1 represents an active-matrix circuit, reference numeral 2 represents an EL cell, reference numeral 4 represents a gate-controlled diode, reference numeral 5 represents a storage capacitor, reference numeral 6 represents an address transistor, reference numeral 7 represents a data bus, reference numeral 8 represents a scan bus, reference numeral 10 represents a poly-Si electrode, reference numeral 13 represents a *p*-type silicon substrate, reference numeral 14 represents an electroluminescent layer, and reference numeral 15 represents a transparent conductive film.

FIG. 4

LUMINESCENT AREA

FIG. 6

1: GATE VOLTAGE

2: REVERSE BREAKDOWN VOLTAGE

FIG. 7

P-N JUNCTION

FIG. 8

LUMINANCE

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 昭60-107083

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和60年(1985)6月12日

G 09 F 9/30
G 09 G 3/30

6615-5C
6940-5C

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 表示装置

⑯ 特 願 昭58-214485

⑰ 出 願 昭58(1983)11月15日

⑱ 発 明 者	沖 賢 一	川崎市中原区上小田中1015番地	富士通株式会社内
⑱ 発 明 者	大 川 泰 史	川崎市中原区上小田中1015番地	富士通株式会社内
⑱ 発 明 者	高 原 和 博	川崎市中原区上小田中1015番地	富士通株式会社内
⑱ 発 明 者	梶 藤 浩 之	川崎市中原区上小田中1015番地	富士通株式会社内
⑱ 発 明 者	三 浦 照 信	川崎市中原区上小田中1015番地	富士通株式会社内
⑲ 出 願 人	富士通株式会社	川崎市中原区上小田中1015番地	
⑳ 代 理 人	弁理士 松岡 宏四郎		

明 細 書

1. 発明の名称

表示装置

2. 特許請求の範囲

(1) アクティブマトリクス回路のゲートコントロールダイオードのドレイン電極を表示素子に接続した表示装置を半導体基板上に構成する際に上記ゲートコントロールダイオードのゲート電極を環状に形成したことを特徴とする表示装置。

(2) 上記環状ゲート電極の外周側に情報蓄積容量部を形成し、その内周に接する領域に上記ゲートコントロールダイオードのドレイン部を形成し、上記表示素子の画素発光領域を上記環状ゲート電極の内側に形成したことを特徴とする特許請求の範囲第1項記載の表示装置。

(3) 上記環状ゲート電極の内周全体をドレイン領域とし、該ドレイン領域を上記表示素子の表示電極としたことを特徴とする特許請求の範囲第1項又は第2項記載の表示装置。

3. 発明の詳細な説明

① 発明の技術分野

本発明は表示装置に係り、特に安定な輝度変調を行ない得て、しかも表示品質の向上を達成し得るよう工夫を凝らした表示装置に関する。

② 技術の背景

ELパネル等では、その画素に相当する表示素子の数は所定の画面を構成し得るに足りるだけ必要となり、その数は相当な素子数にのぼる。そして、それら各素子は個別に駆動する必要があるから、駆動回路は素子数若しくはライン数だけ必要になり、その数は非常に多数になる。

従って、その駆動回路は簡略に構成されることが望ましい。

又、そのような駆動回路であって、しかも表示素子の輝度変調を為し得ることが要求されることに加えて、その輝度変調の安定性に優れ、しかも表示品質の向上も望めるものが要求されるに至っている。

③ 従来技術と問題点

従来の輝度変調を生じさせる駆動回路として、

第1図に示すような1トランジスタ・1キャパシタ構成(Q1, C3から成るもの)のアクティブマトリクスがある。この駆動回路により表示素子、例えば液晶素子bが駆動されるように構成されている。この駆動回路は、データバスcに供給される輝度情報に対応する電圧がスキャンバスdに印加されるスキャンパルスでオンになるトランジスタQ1を経てキャパシタC3を充電し、素子bの輝度変調を行なうものである。

この駆動回路を薄膜ELのような交流駆動型の表示素子の駆動に応用しようとする、その駆動回路は第2図に示すように、2トランジスタ・1キャパシタ構成(Q1, Q2, C3)に変形しなければならない上、輝度変調、とりわけ安定した中間値の変調を困難にしてしまうばかりでなく、表示品質の向上を促す手段に欠けている。

本発明の目的

本発明は上述したような従来回路の有する欠点に鑑みて創案されたもので、その目的は安定した輝度変調を実現しつつ、しかも表示品質も向上さ

せ得る表示装置を提供することにある。

本発明の構成

そして、この目的達成のため、本発明装置はアクティブマトリクス回路のゲートコントロールダイオードのドレイン電極を表示素子に接続した表示装置を半導体基板に構成する際に上記ゲートコントロールダイオードのゲート電極を環状に形成して構成したものである。

本発明の実施例

以下、添付図面を参照しながら本発明の実施例を説明する。

第3図は本発明実施例の回路図であり、第4図は第3図回路の集積回路化に工夫を凝らして構成した図である。第3図において、1はEL駆動用のアクティブマトリクス回路で、2はELセル(表示素子)である。ELセル2の一方の電極は駆動電源端子3へ接続され、その他方の電極はゲートコントロールダイオード(以下、GCDと略称する。)4のドレインに接続され、ダイオード4の基板SUBは基準電位、例えばアース電位へ接

続されている。

ダイオード4のゲートはストレージキャパシタ5の一方の電極に接続されると共に、アドレストランジスタ6を経てデータバス7へ接続され得るように構成されている。トランジスタ6は例えばMOSTランジスタで、そのゲート電極はスキャンバス8に接続されている。キャパシタ4の他方の電極は基準電位、例えばアース電位に接続されている。

この回路構成の集積回路を示す第4図において、その(4-1)は平面図を示し、(4-2)はそのIV-IV線矢視縦断面図を示す。これらの図において、アドレストランジスタ6のドレイン電極D及びゲート電極Gは夫々、格子状に形成されるデータバス7及びスキャンバス8に接続されるものである。トランジスタ6のソース電極は環状のPoly Si電極10に接続されている。このPoly Si電極10の外側部は厚さ1000Åの熱酸化膜(SiO₂絶縁膜16の一部)11を隔ててP₊の拡散領域と向い合っておりここにストレージ容量を生成せし

め、上述ストレージキャパシタ5を形成する一方、Poly Si電極10の内縁部でもその電極下の酸化膜は1000Åの熱酸化膜(SiO₂絶縁膜16の一部)12と高く形成され、その縁部における熱酸化膜12がGCD4のゲート絶縁膜となりその上部のPoly Si電極10部分がGCD4のゲート電極として作用する。そして、環状Poly Si電極10に囲まれた内側領域(P形シリコン基板13)はPoly Si電極10をマスクとして埃が拡散されてn⁺の領域とされ、これがGCD4のドレイン電極とELセル2の表示電極を兼ねる。なお、ELセル2の表示電極を別個に形成してこれにGCD4のドレイン電極を接続するようにしてもよい。

このようにして、SIプロセスによって駆動回路部を形成した後、必要に応じて図示してない光シールド及び電気シールドを設け、表示電極のみを露出した状態において蒸着、スパッタ等の薄膜形成技術を用いてELセル2のEL発光層14を全面に形成する。この発光層14はEL発光層のみでもよいし、Y₂O₃、Si₃N₄、Al₂O₃等の

18層層を含んだ発光層であってもよい。そして、発光層14の上に透明導電膜（共通の対向電極）15を形成してELパネルを完成する。

このようにして構成される本発明装置の動作を以下に説明する。

電源端子3に第5図の(5-1)に示すような駆動電圧 V_A が供給される一方、スキャンバス8に第5図の(5-2)に示すようなフレーム間波数のスキャンパルス V_Y が供給され、且つデータバス7に第5図の(5-3)に示すような中間値を含む輝度情報に対応した電圧 V_X が供給されている。

従って、第5図の(5-2)に示すようなタイミングでスキャンパルス V_Y が供給されると、アドレストランジスタ6がオンになり、キャパシタ5にその時の電圧値 V_G が1フレームの間保持されて（第5図の(5-4)参照）、その電圧がダイオード4のゲートへ印加される。

ダイオード4はそのゲート電圧に応じて第6図に示す関係に従ってその逆方向降伏電圧を変える。

ダイオード4のこのような特性はダイオード4が第7図に示すようにMOSトランジスタのソース拡散領域を省略した構造を有し、ドレイン-基板間の電圧印加時の電位分布は図示のようにゲート電位の影響を受け、ゲート電圧が低い程ゲート下部のP-N接合空乏層の電位勾配が急峻となり、低いドレイン電圧で電圧降伏を起こすことから得られるものである。

上述のように、ダイオード4の逆方向降伏電圧が変わるから、ダイオード4のドレイン電圧 V_D は第5図の(5-5)に示すように、異なる値にクランプされる。従って、ELセル1の両端にかかる電圧 $V_{CEL} = V_A - V_D$ は第5図の(5-6)に示すように、その正極性のピーク電圧値がゲート電圧 V_G の値に応じて $V_A - V_{G1}$ から $V_A - V_{G0}$ の間で変化する。

このように、 V_{CEL} が変化すると、急峻なしきい値特性を有する薄膜EL素子1は V_{CEL} が $V_A - V_{G0}$ にあるときには飽和伏態の輝度 B_0 で光り、 V_{CEL} が $V_A - V_{G1}$ にあると

きには暗伏態の輝度 B_1 で光る（第8図参照）。

つまり、ELセルの輝度は V_G 及び V_D の設定値により変えられる。従って、ゲート電圧によって輝度制御をなしうることになる。このような制御が可能となるから、ゲート電圧として中間値 V_{G2} を与えるようにすれば、中間値の輝度 B_2 を得ることができる。

そして、本発明においては、第4図に示すように、GCD4のゲート長を長くし、しかもその占有面積を小さくして発光領域を拡大しているから、低インピーダンスでのクランプ動作により安定した中間値の駆動制御が可能になると共に、多機能高表示品質の表示装置を具現化し得る。

なお、上記実施例においては、GCD4のゲートエッジを単一の覆状に形成する例について説明したが、発光領域を複数にするようにしてもよい。これらのいずれかの場合において、発光領域を外側に形成してもよい。

(1) 発明の効果

以上述べたように、本発明によれば、

- ①安定した中間値の駆動制御ができ、
- ②表示品質の向上も図れる、等の効果が得られる。

4. 図面の簡単な説明

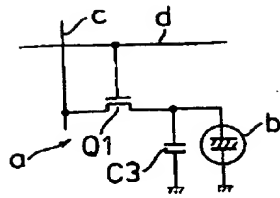
第1図及び第2図は従来の表示素子の駆動回路を示す図、第3図は本発明表示装置の回路図、第4図は第3回路の集積回路図、第5図は本発明回路の動作を説明するためのタイミングチャート、第6図はゲートコントロールダイオードの特性を示す図、第7図はゲートコントロールダイオードの動作原理を図解する図、第8図はELセルの動作を説明するための図である。

図中、1はアクティブマトリクス回路、2はELセル、4はゲートコントロールダイオード、5はストレージキャパシタ、6はアドレストランジスタ、7はデータバス、8はスキャンバス、10はPoly Si電極、13はP形シリコン基板、14は発光層、15は透明導電膜である。

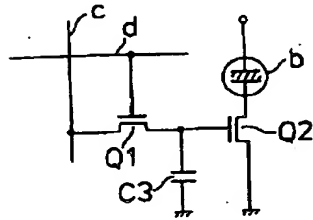
特 許 出 願 人 富士通株式会社
代理人 弁 理 士 松岡 宏四郎



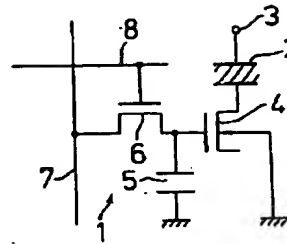
第 1 図



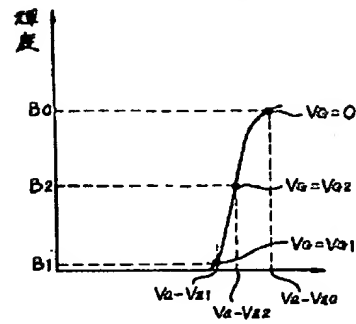
第 2 図



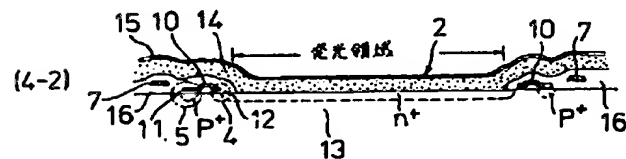
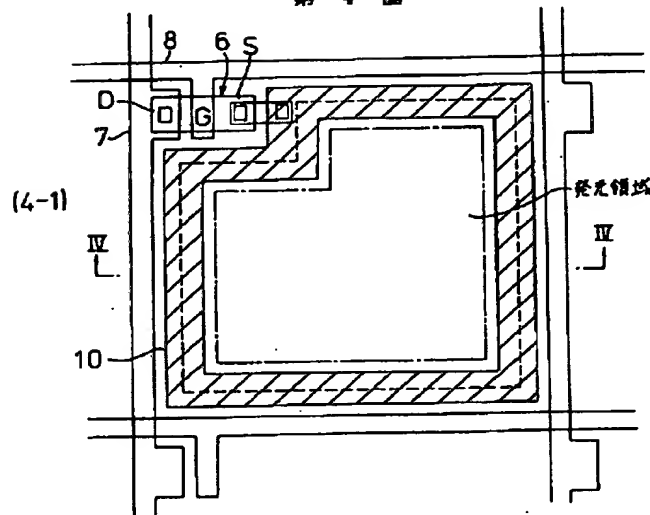
第 3 図



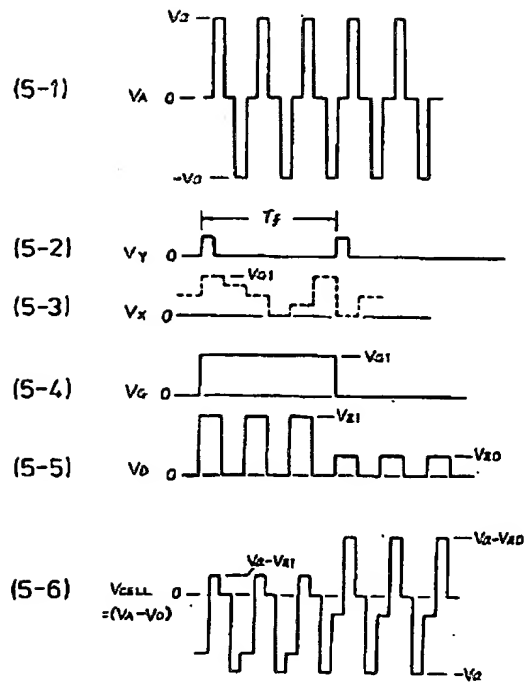
第 8 図



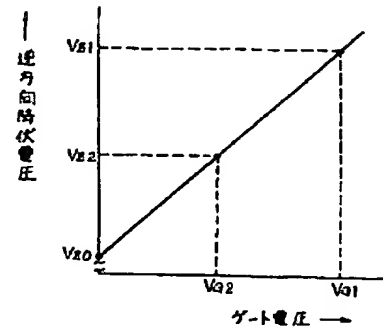
第 4 図



第 5 図



第 6 図



第 7 図

